

Simulazioni di Elettronica dei Sistemi Digitali

Cappelletti Lorenzo
<L.Cappelletti@P0Boxes.com>

23 febbraio 2000

Sommario

Durante l'anno accademico 1998/1999 mi sono ritrovato a dover studiare da autodidatta l'esame di Elettronica dei Sistemi Digitali. Non potendo procurarmi gli esercizi svolti a lezione, decisi di impratichirmi con quelli proposti sul testo¹ adottato nel corso. Ma chi poteva correggermi visto che nel libro non sono presenti le soluzioni? Pensai subito di appoggiarmi ad un simulatore circuitale e la scelta non poté ricadere che su SPICE.

Mentre il numero di esercizi risolti aumentava, pensai che questo mio lavoro potesse tornare utile anche a qualche mio collega, che in un prossimo futuro si fosse trovato ad affrontare questo stesso esame. Mi misi così ad unire l'utile... all'utile e cominciai a dare una forma un po' più presentabile a quanto avevo fatto fino a quel momento, con il pretesto di migliorare le mie conoscenze di L^AT_EX. Il risultato è quello che state leggendo ora.

Questo lavoro non ha alcuna pretesa di preparare uno studente al superamento dell'esame di Elettronica dei Sistemi Digitali, né tantomeno di sostituirsi alla preparazione offerta dai docenti del corso o di essere un lavoro impeccabile e senza errori. Spera solo di essere un aiuto per tutti coloro che intendono prepararsi seriamente per questo esame ed un incitamento all'utilizzo di programmi di simulazione che, se di primo acchito posso sembrare ostici da imparare, successivamente possono rivelare grandi potenzialità.

In queste pagine vi troverete un paio di simulazioni degli esempi risolti nel testo e numerose soluzioni—per l'essattezza 39—agli esercizi proposti in conclusione dei capitoli 2, 3, 4, 6, 7, 8 e 10. Ogni esercizio è accompagnato dal codice sorgente, dai risultati con una breve spiegazione sulla soluzione e da uno o più grafici risultanti dalla simulazione. Se volete evitare una lunga ed inutile ricopiatura dei sorgenti, vi consiglio di visitare l'indirizzo

<http://www.bigfoot.com/~L.Cappelletti/Didattica/EdSD/>

e di prelevare il pacchetto contenente il codice che ho utilizzato personalmente.

Infine vorrei ringraziare il proff. A. Paccagnella per la squisita disponibilità dimostratami.

¹ *Jan M. Rabaey, Digital Integrated Circuits*, 1996, Prentice Hall.

```

M3      5  4  3  1 PMOS W=300um L=1.2um
M2      5  4  6  0 NMOS W=100um L=1.2um
M1      6  7  0  0 NMOS W= 5um L=1.2um
CL      5  0      50fF
.ends

```

```

*** Descrizione del circuito

```

```

X1      1  2 11  7 12 INV
X2      1  2 12  7 13 INV
X3      1  2 13  7 14 INV
X4      1  2 14  7 15 INV
X5      1  2 15  7 11 INV
VDD     1  0      3.3V
VH      2  0      2.083V
VL      7  0      1.094V
.ic V(11) = 0V

```

```

*** Descrizione dei modelli

```

```

.model NMOS NMOS level=1
+ kp=19.6u      VT0= .74V
.model PMOS PMOS level=1
+ kp= 5.4u      VT0=-.74V

```

```

*** Richiesta di analisi e di output

```

```

.control
tran 10ns .6us
let Vo5 = V(15)
plot Vo5
.endc

```

```

.end

```

Tenendo in considerazione anche la formula del tempo di propagazione di un inverter con segnale di ingresso a variazione lenta, si ottengono le seguenti tensioni:

$$\begin{aligned}
 V_L &= 1.058 \text{ V} \\
 V_H &= 2.132 \text{ V}
 \end{aligned}$$

Come si può notare dal sorgente riportato più sopra, questi valori coincidono bene con quelli ottenuti per tentativi dalla simulazione, del quale si riporta il grafico della tensione all'uscita del quinto inverter in figura 2.29.

2.34 Esercizio 7.11.6

Exercise 7.11.6

```

*** Descrizione del circuito
** Descrizione dei sottocircuiti

.subckt NOT 1 2 3

```

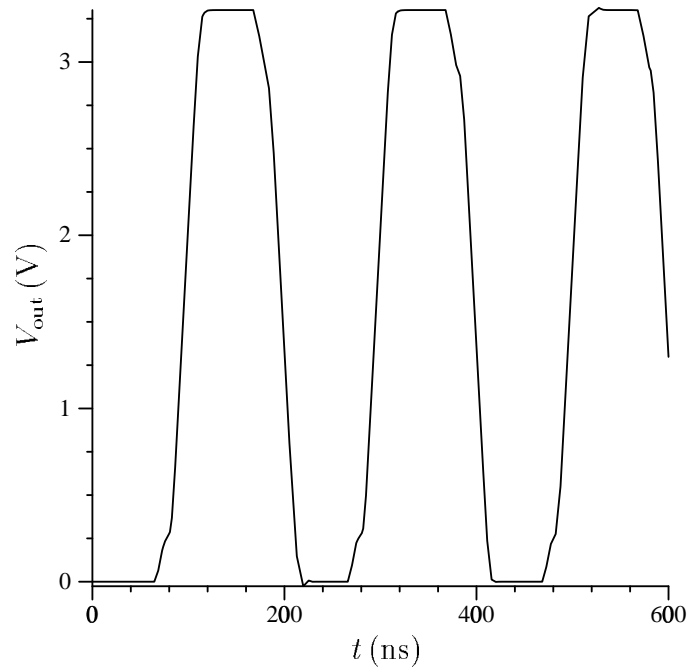


Figura 2.29: tensione d'uscita dell'oscillatore dell'esercizio 6.8.16.

```

MP      3  2  1  1  PMOS W=7.2um L=1.2um
MN      3  2  0  0  NMOS W=2.4um L=1.2um
.ends

.subckt XOR 1 6 2 5 3
MPpass  3  6  2  1  PMOS W=7.2um L=1.2um
MNpass  2  5  3  0  NMOS W=2.4um L=1.2um
MP      3  2  6  1  PMOS W=7.2um L=1.2um
MN      3  2  5  0  NMOS W=2.4um L=1.2um
.ends

.subckt NAND 1 2 4 7 5
MP1     3  2  1  1  PMOS W=30um L=1.2um
MP2     5  4  3  1  PMOS W=30um L=1.2um
MN1     5  4  6  0  NMOS W=10um L=1.2um
MN2     6  7  0  0  NMOS W=10um L=1.2um
.ends

** Circuito principale
XnotB   1 3 7     NOT
XP      1 3 2 7 5 XOR
XnotP   1 5 8     NOT
XS      1 5 4 8 9 XOR
XPCi    1 8 4 5 6 NAND
XPA     1 5 2 8 6 NAND
VDD     1  0     5V

** Grafico per verificare la correttezza del circuito
VA      2  0     0V pulse(0V 5V 0s 0s 0s 5ns 10ns)
VB      3  0     0V pulse(0V 5V 0s 0s 0s 10ns 20ns)

```

```

VCi      4  0      0V pulse(0V 5V 0s 0s 0s 20ns 40ns)
** Input-to-carry
*VA      2  0      5V
*VB      3  0      0V pw1(0s 0V 5ns 0V 5ns 5V 10ns 5V)
*VCi     4  0      0V
** Carry-to-carry & carry-to-sum
*VA      2  0      0V
*VB      3  0      5V
*VCi     4  0      0V pw1(0s 0V 5ns 0V 5.001ns 5V 10ns 5V)

*** Descrizione dei modelli
.include NMOS.mod
.include PMOS.mod

*** Richiesta di analisi e di output
.control
** Grafico per verificare la correttezza del circuito
tran 50ps 40ns
** Input-to-carry
* tran 100ps 10ns
** Carry-to-carry & carry-to-sum
* tran 100ps 10ns
let VA   = V(2) + 5*4
let VB   = V(3) + 5*3
let VCi  = V(4) + 5*2
let VP   = V(5) + 5*1
let VS   = V(9) + 5*0
let VnCo = V(6) + 5*1
plot VA VB VCi VP VS VnCo
.endc

.end

```

Come appare chiaro dal listato soprastante, la complessità del circuito è leggermente maggiore rispetto a quella delle altre simulazioni. Il grafico riportato in figura 2.30 permette, attraverso la variazione in tutte le combinazioni possibili degli ingressi V_A , V_B e V_{C_i} , di verificare il corretto funzionamento del circuito.

Il secondo grafico, riportato in figura 2.31, permette di misurare il tempo di propagazione per la transizione

$$(A, B, C_i) : (1, 0, 0) \longrightarrow (1, 1, 0)$$

Si ottiene un $t_p = 2.06$ ns.

Infine, dal grafico di figura 2.32, si può misurare il tempo di propagazione per la transizione

$$(A, B, C_i) : (0, 1, 0) \longrightarrow (0, 1, 1)$$

In questo caso si ottengono i valori $t_p = 168$ ps e $t_p = 52$ ps, rispettivamente per il tempo di propagazione *carry-to-sum* e *carry-to-carry*.

2.35 Esercizio 7.11.9

Exercise 7.11.09

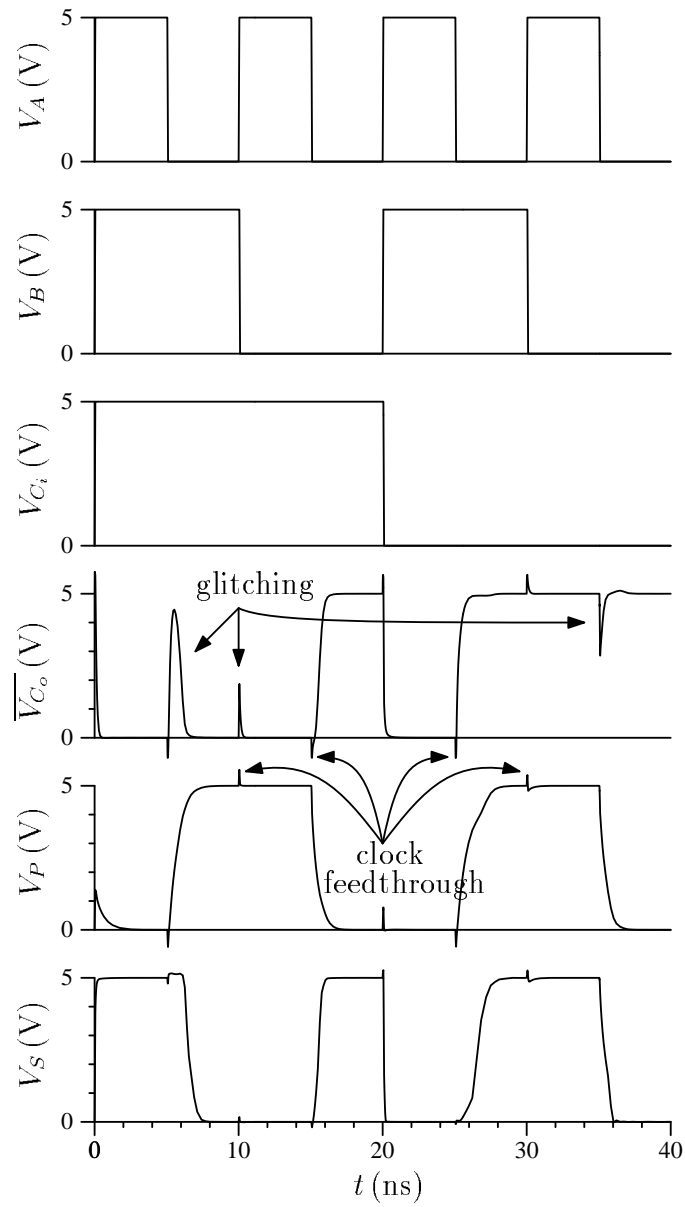


Figura 2.30: grafico per verificare la correttezza del circuito dell'esercizio 7.11.6. Si notino i picchi dovuti al fenomeno del *clock feedthrough* e quelli dovuti al fenomeno di *glitching*.

Appendice B

Software

Per redigere queste pagine è stato utilizzato il software seguente:

- sistema operativo Debian GNU/Linux 2.1 e kernel 2.2.13:
 - `gnome 1.0.54`
 - `enlightenment 0.16.3`
- come distribuzione \LaTeX la `teTeX 1.0`:
 - $\text{\LaTeX} 2_{\epsilon}$ <1998/12/01>>,
 - `report 1999/01/07 v1.4a` per lo stile del documento,
 - `Babel <v3.6x>` per la sillabazione corretta in italiano e per l'introduzione di inglesismi,
 - `inputenc` per l'utilizzo diretto delle lettere accentate nel sorgente \LaTeX ,
 - `verbatim` per l'inserimento dei sorgenti,
 - `psfrag` per la corretta scrittura delle leggende nei grafici,
 - `enumerate` per ottenere elenchi con numerazione a piacere,
 - `graphicx` per inserire le figure e
 - `subfigure 1995/03/06 v2.0` per inserire le sottofigure,
 - `latexsym` per ottenere di resistenza su quadro,
 - `SIunits v0.06 <1999/04/08> (MH)` per la corretta scrittura delle unità di misura nel sistema MKS,
 - `draftcopy` per dissuadere alla copia illegale di questo documento,
 - `geometry` per impostare il layout della pagina,
 - `xdvi(k) 22.05d-k` per visualizzare il risultato della compilazione del sorgente in \LaTeX ,
 - `dvips(k) 5.86` per convertire tutto in formato PostScript,
 - `gv 3.5.8` per gustarmi il risultato finale.
- `Spice-3f5` come programma di simulazione;
- GNU `Awk 3.0.3` per estrarre i dati e `jgraph 83` per produrre i grafici;
- `XEmacs 21.1 (patch 8)` "Bryce Canyon" e `auctex 9.9p` (fantastico! ve lo consiglio vivamente) per scrivere i sorgenti in \LaTeX ;
- `xmms 0.9.1` e tanta buona musica per rilassarsi.

Elenco delle figure

1.1	risposta al transitorio per l'esempio 2.7	3
1.2	misura del tempo di propagazione per l'inverter minimum-size dell'esempio 3.6.	4
2.1	caratteristiche I-V per l'NMOS dell'esercizio 2.9.5 con fattore di forma 2.4/0.6 (a) e 12.8/3.6 (b)	7
2.2	caratteristiche I-V per il PMOS dell'esercizio 2.9.5 con fattore di forma 2.4/0.6 (a) e 12.8/3.6 (b)	9
2.3	andamento temporale della tensione di base e della corrente per l'esercizio 2.9.21	12
2.4	andamento temporale della tensione di base e della corrente per l'esercizio 2.9.22	13
2.5	VTC con fan-out nullo per l'esercizio 3.8.2.	14
2.6	VTC con fan-out unitario per l'esercizio 3.8.2.	15
2.7	VTC per l'esercizio 3.8.3.	16
2.8	VTC per l'esercizio 3.8.4.	18
2.9	VTC per l'esercizio 3.8.7 dove il rapporto $r = k_p/k_n$ è inferiore all'unità.	19
2.10	VTC per l'esercizio 3.8.8.	20
2.11	le VTC per l'esercizio 3.8.9.	21
2.12	transitorio per l'esercizio 3.8.11.	22
2.13	tempi di propagazione per l'esercizio 3.8.12.	24
2.14	tensione d'uscita e corrente di corto-circuito per l'esercizio 3.8.13.	25
2.15	VTC per l'esercizio 3.8.17.	27
2.16	VTC per l'esercizio 3.8.18.	28
2.17	VTC e correnti per l'esercizio 3.8.19.	30
2.18	tensione di ingresso e uscita per l'esercizio 3.8.21.	31
2.19	VTC per l'esercizio 4.8.6.	32
2.20	transitorio per l'esercizio 4.8.7.	34
2.21	simulazione del <i>parity checker</i> per l'esercizio 4.8.12.	34
2.22	transitorio per l'esercizio 4.8.14.	36
2.23	diagramma temporale (a) e particolare dello <i>charge-sharing</i> (b) per l'esercizio 4.8.17.	38
2.24	grafici della realizzazione in logica semplice (a) e in logica np-CMOS (b) per l'esercizio 4.8.18.	40
2.25	diagramma temporale relativo al circuito dell'esercizio 4.8.20.	43
2.26	in (a) è mostrato il diagramma temporale per l'esercizio 4.8.21 dopo l'aggiunta del transistor di precarica, mentre in (b) quello per il calcolo della massima frequenza di clock.	44
2.27	transitorio per l'esercizio 6.8.5.	46
2.28	VTC per l'esercizio 6.8.11.	47
2.29	tensione d'uscita dell'oscillatore dell'esercizio 6.8.16.	49
2.30	grafico per verificare la correttezza del circuito dell'esercizio 7.11.6. Si notino i picchi dovuti al fenomeno del <i>clock feedthrough</i> e quelli dovuti al fenomeno di <i>glitching</i>	51

2.31	grafico per la misura del tempo di propagazione <i>input-to-carry</i> dell'esercizio 7.11.6.	52
2.32	grafico per la misura del tempo di propagazione <i>carry-to-carry</i> e <i>carry-to-sum</i> dell'esercizio 7.11.6.	53
2.33	grafico per l'esercizio 7.11.9.	55
2.34	transitorio per il calcolo di t_p dell'esercizio 8.9.1. $\overline{V_{in}}$ indica l'uscita dell'inverter, mentre V_{u_1} indica il segnale all'uscita del primo buffer.	57
2.35	forme d'onda per l'esercizio 8.9.2.	58
2.36	diagramma temporale per l'esercizio 8.9.3, dove è chiaramente visibile il fenomeno del <i>clock feedthrough</i>	59
2.37	transitorio per l'esercizio 10.10.1.	60

Indice

1	Esempi	2
1.1	Esempio 2.7	2
1.2	Esempio 3.6	2
2	Esercizi	5
2.1	Esercizio 2.9.4	5
2.2	Esercizio 2.9.5	6
2.3	Esercizio 2.9.15	8
2.4	Esercizio 2.9.18	8
2.5	Esercizio 2.9.19	10
2.6	Esercizio 2.9.21	10
2.7	Esercizio 2.9.22	11
2.8	Esercizio 3.8.2	11
2.9	Esercizio 3.8.3	15
2.10	Esercizio 3.8.4	16
2.11	Esercizio 3.8.7	17
2.12	Esercizio 3.8.8	18
2.13	Esercizio 3.8.9	20
2.14	Esercizio 3.8.11	20
2.15	Esercizio 3.8.12	22
2.16	Esercizio 3.8.13	23
2.17	Esercizio 3.8.16	26
2.18	Esercizio 3.8.17	26
2.19	Esercizio 3.8.18	26
2.20	Esercizio 3.8.19	28
2.21	Esercizio 3.8.21	29
2.22	Esercizio 4.8.6	31
2.23	Esercizio 4.8.7	33
2.24	Esercizio 4.8.12	33
2.25	Esercizio 4.8.13	33
2.26	Esercizio 4.8.14	35
2.27	Esercizio 4.8.17	36
2.28	Esercizio 4.8.18	37
2.29	Esercizio 4.8.20	39
2.30	Esercizio 4.8.21	42
2.31	Esercizio 6.8.5	43
2.32	Esercizio 6.8.11	46
2.33	Esercizio 6.8.16	47
2.34	Esercizio 7.11.6	48
2.35	Esercizio 7.11.9	50

2.36	Esercizio 8.9.1	55
2.37	Esercizio 8.9.2	56
2.38	Esercizio 8.9.3	57
2.39	Esercizio 10.10.1	59
A	Modelli	61
B	Software	63